

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

SEMICONDUCTOR DEVICE HAVING MOS GATE

Patent Number: JP6310729
Publication date: 1994-11-04
Inventor(s): UMEKAWA SHINICHI
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP6310729
Application Number: JP19930096394 19930423
Priority Number(s):
IPC Classification: H01L29/784 ; H01L21/336
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a semiconductor device in which damage to gate insulation film is recovered through processing at a relatively low temperature and the threshold voltage is recovered through heat treatment after irradiation with an electron beam by forming a barrier metal layer to touch both the source diffusion layer and the base diffusion layer but not touch the surface of a gate electrode.

CONSTITUTION: The semiconductor device comprises a second conductivity type region 5 formed inward from the surface of a first conductivity type semiconductor substrate 1, a first conductivity type region 4 formed annularly within the second conductivity type region 5, a channel region 6 provided for the first conductivity type region 4 and the second conductivity type region 5 continuous thereto, and a dielectric layer 7 covering a channel region 6. The semiconductor device further comprises a gate electrode 8 superposed on the dielectric layer 7, an interlayer insulation layer 9 covering the gate electrode 8, and a metal layer 10 deposited on the surface in the annular first conductivity type region 4 and the exposed second conductivity type region 5 continuous thereto and continuous to the interlayer insulation layer 9 only on the side part thereof.

Data supplied from the esp@cenet database - I2

(51)IntCl⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784
21/336

9168-4M
9168-4M

H 0 1 L 29/ 78

3 2 1 S
3 2 1 P

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号

特願平5-96394

(22)出願日

平成5年(1993)4月23日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 梅川 真一

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

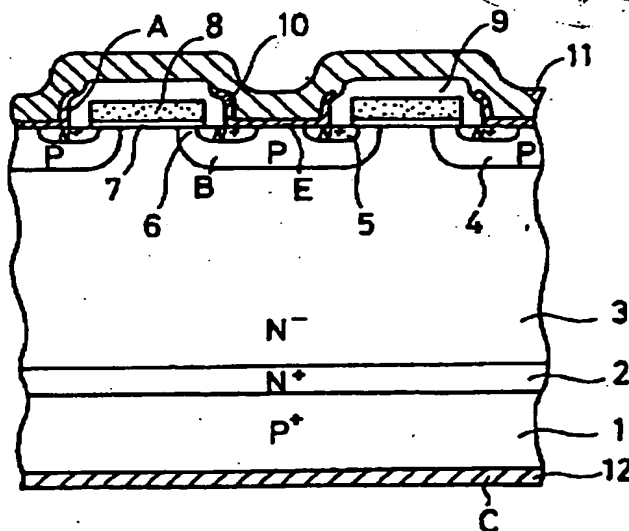
(74)代理人 弁理士 大胡 典夫

(54)【発明の名称】 MOSゲートを備える半導体装置

(57)【要約】

【目的】 電子線照射後の熱処理により、しきい値電圧 V_{th} が十分に回復し、その後も経時的にしきい値電圧 V_{th} の変動がなく、信頼性の高いMOSゲートを備える半導体装置を提供する点。

【構成】 MOSゲートを備える半導体装置においては、バリア金属であるチタンなどの金属層が、ソース拡散層とベース拡散層にまたがって形成しているが、本発明では、半導体基板と配線層が接触する箇所には設けるが、それ以外のシリコンと接触しない部分には設置しない手法を採った。このために、電子線照射後の熱処理により、しきい値電圧 V_{th} が十分に回復し、その後も経時的にしきい値電圧 V_{th} の変動がなく、信頼性の高いMOSゲートを備える半導体装置が得られるのが特徴である。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板表面から内部に向けて形成する第2導電型の領域と、前記第2導電型の領域内に環状に設ける第1導電型の領域と、前記第1導電型の領域の外周を占めかつこれに連続する第2導電型領域に設けるチャンネル領域と、前記チャンネル領域を覆って形成する絶縁物層と、前記絶縁物層に重ねて配置するゲート電極と、前記ゲート電極を被覆する層間絶縁物層と、前記環状の第1導電型の領域部分及びこれに連続かつ露出する第2導電型の領域の表面部分に積層して配置しかつ、前記層間絶縁物層の側部だけに連続する金属層と、前記金属層に積層して配置する電極層とを具備することを特徴とするMOSゲートを備える半導体装置

【請求項2】 前記請求項1における金属層をTi、WまたはMoから成る群から選定する一種を含み、電極層をアルミニウムを主成分とすることを特徴とするMOSゲートを備える半導体装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOSゲートを備える半導体装置の改良に関する。

【0002】

【従来の技術】 絶縁ゲート型バイポーラトランジスタ即ちIGBT (Insulated Gate Bipolar Transistor) は、モータ制御またはインバータなどの各種スイッチング素子として広く用いられている。

【0003】 IGBTの構造は、通常のパワーMOSFETのドレイン領域に連続して、これと反対導電型のアノード領域を重ねて形成したものであり、N型IGBTの断面図を図1により説明する。

【0004】 即ち、縦型IGBTのアノード領域として機能するP⁺1、N⁺2更にN⁻3の順に重ねて構成する例えばシリコンから成る半導体基板の高比抵抗領域N⁻3表面から内部に向けてP拡散層4を設け、このPベース拡散層4内に環状のN⁺ソース拡散層5を形成する。

【0005】 また、N⁺ソース拡散層5と高比抵抗領域N⁻3に挟まれたPベース拡散層4部分をチャンネル領域6として動作させるために、これを覆ってゲート絶縁物層7を設置する。更に、ゲート絶縁物層7に重ねて多結晶珪素層から成るゲート電極8を配置すると共に、これを覆う層間絶縁物層9を設置する。

【0006】 一方、環状のN⁺ソース拡散層5部分及びこれに挟まれかつ連続したPベース拡散層4部分更に層間絶縁物層9表面に連続してバリア金属層即ち金属層10を配置し、これに配線として機能する電極11を積層して形成する。

【0007】 アノード領域P⁺1には、アノード電極12を設けて、IGBTを構成することによって、高入力

インピーダンスで、低オン抵抗の特性とすることが特徴である。

【0008】

【発明が解決しようとする課題】 以上のIGBTのソース電極では、半導体基板を構成するシリコンがアルミニウムに拡散するのを防ぐために、Tiなどをバリア金属即ち金属層10を薄く形成し、ここにアルミニウムを含む金属電極11を設けてソース電極として機能する方式が採られている。

10 【0009】 他方法としては、金属層10を形成せずに電極11としてアルミニウムに微量のシリコンを固溶したAl-SiやAl-Si-Cuを使用する例があるが、信頼性やオン抵抗に関して金属層10を設置する方が有利である。更に、このようにソース電極として動作する金属層10は、前記のように層間絶縁物層9上に形成する。このようなIGBT素子では、アノード領域からドレイン領域に注入する少数キャリアの一部が過剰キャリアとして蓄積されるので、遮断時にゲート印加電圧を零にしてチャンネルを閉じて、エレクトロンの流れを止めても蓄積した少数キャリアが排出されるまで、オフ状態に戻らない。その上、ドレイン領域に残るエレクトロンがアノード領域を通り抜ける際アノード領域から少数キャリアの注入を誘起してターンオフ時間を大きくする。

20 【0010】 ターンオフ時間を改善する方法としては、電子線を照射してキャリアのライフタイムを小さくする方法が知られているが、ゲート酸化膜に発生した固定電荷により、Nch-IGBTのしきい値電圧が低下する。低下したしきい値電圧を回復するために電子線照射後に熱処理を施す。

30 【0011】 この400℃程度の熱負荷によりN⁺ドレイン領域の損傷が回復するのに対して、キャリアのライフタイムは、電子線照射前の状態に戻ってしまうので、熱処理温度としては、350℃以下が選ばれている。

【0012】 このような熱処理工程によりしきい値電圧を許容範囲内に回復することができるが、ゲート絶縁物層中の損傷が完全に回復しないと、IGBTの動作に伴いしきい値の変動(上昇)が発生する。

40 【0013】 一方、ソース電極のバリア金属として金属層Tiを使用すると、電子線照射後の熱処理は、ゲート絶縁物層中の損傷の回復を阻害して、しきい値電圧が完全に回復せず、経時変化を起こすものとなる。

【0014】 本発明は、このような事情により成されたもので、特に、電子線照射後の熱処理によりしきい値電圧が十分に回復しかつ、経時変化が発生しない上に信頼性の高いMOS型ゲートを備える半導体装置を提供することを目的とする。

【0015】

【課題を解決するための手段】 第1導電型の半導体基板表面から内部に向けて形成する第2導電型の領域と、前

記第2導電型の領域内に環状に設ける第1導電型の領域と、前記第1導電型の領域と第2導電型の領域の外周を占めかつこれに連続する第2導電型領域に設けるチャンネル領域と、前記チャンネル領域を覆って形成する絶縁物層と、前記絶縁物層に重ねて配置するゲート電極と、前記ゲート電極を被覆する層間絶縁物層と、前記環状の第1導電型の領域部分及びこれに連続かつ露出する第2導電型の領域の表面部分に積層して配置しかつ、前記層間絶縁物層の側部だけに連続する金属層と、前記金属層に積層して配置する電極層とに本発明に係わるMOSゲートを備える半導体装置の特徴がある。

【0016】また、金属層をTi、WまたはMoから成る群から選定する一種を含み、電極層をアルミニウムを主成分とすることにも特徴がある。

【0017】

【作用】本発明に係わるMOSゲートを備える半導体装置は、ソース拡散層とベース拡散層の両方に接触するようにバリア金属である金属層を形成して、ゲート電極上に設置しない点に特徴がある。と言うのは、このような構成にすることにより、比較的低温での処理によりゲート絶縁膜即ち絶縁物層中の損傷が回復できるとの事実を基に完成したものである。

【0018】

【実施例】本発明に係わる実施例を図2乃至図6を参照して説明する。

【0019】従来の技術欄に示したように、IGBTの構造は、通常のパワMOSFETのドレイン領域に連続して、これと反対導電型のアノード領域を重ねて構成しており、本発明に係わるN型で縦型のIGBTを示す図2により先ず説明する。

【0020】アノード領域として機能するP⁺1、N⁺2更にN⁻3の順に重ねて、例えばシリコンから成る半導体基板を構成し、最上層を構成する高比抵抗領域即ち第1導電型の半導体基板3表面から内部に向けてP拡散層即ち第1導電型の領域4を形成する。この第1導電型の領域4内には、環状のN⁺ソース拡散層即ち第2導電型の領域5を形成する。また、集積回路素子を形成するために、第1導電型の領域4を複数個形成し、この中に環状の第2導電型の領域5を形成することもある。

【0021】環状の第2導電型の領域4と高比抵抗の第1導電型の半導体基板3に挟まれた第2導電型の領域4部分をチャンネル領域6として動作させるために、これを覆って厚さが1000オングストローム程度の酸化珪素層即ちゲート絶縁物層7を設置する。更に、ゲート絶縁物層7に重ねて多結晶珪素層から成り厚さが約5000オングストロームのゲート電極8を配置すると共に、これを覆う層間絶縁物層9を例えばCVD (Chemical Vapour Deposition) 法により設置する。このような厚さの層間絶縁物層9には、その厚さ方向を占める側部Aが形成される。

【0022】一方、環状のN⁺ソース拡散層5部分及びこれに挟まれかつ連続した第2導電型の領域4部分更に層間絶縁物層9表面の側面部分Aのみに連続する金属層10を配置し、これに配線として機能する電極11を積層して縦型IGBTを完成する。このような縦型IGBTは、電子線を照射後ほぼ350℃で熱処理を行ってしきい値電圧V_{th}を回復後、図3に明らかにする高温逆バイアス試験を行い、その結果を図4に示した。図4の比較例は、図1の従来の縦型IGBTを対象としたものである。

【0023】図3における高温逆バイアス試験は、縦型IGBTトランジスタ(図2参照)のエミッタとコレクタ間にダイオードDを順方向に接続し、ベースエミッタ間にツェナダイオードZをクランプし、ベースとエミッタの間に抵抗Rを介して電源V_{GE}を配置する。しかも、ダイオードD、ツェナダイオードZ及び抵抗Rは、縦型IGBTトランジスタ外部に接続し、測定温度は、約125℃である。

【0024】外部の各部品と接続する縦型IGBTトランジスタ端子は、図2にエミッタをE、ベースをB更にコレクタをCと記載した。

【0025】このような高温逆バイアス試験の結果は、縦軸に1000時間後のV_{th}、横軸に初期(Intial)のV_{th}を採った図4に明らかにした。これにある比較例では、+5%程度の変動が見られるのに対して、本願は、殆ど変動がない。いいかえれば金属層を層間絶縁物層の上部には、設置せず側部だけに接触かつ連続させ、更に、N⁺ソース拡散層5部分と、これに挟まれかつ露出するP拡散層4部分に重ねて形成する構造による効果が判然としている。

【0026】また図5は、本発明に係わるMOSFETを、図6は、同じく横型IGBTを示した。MOSFETは、半導体基板をN⁺、N⁻の半導体層により構成する点が図2と違い、その他はほぼ同じ構造である。

【0027】図6に明かにする横型のIGBTでは、コレクタ端子を別途形成する。即ち、図2における金属層10-E、P拡散層4-B及びN⁺ソース拡散層5により構成するトランジスタのエミッタとベースに対して、別にコレクタ領域13を形成する点が特徴である。

【0028】即ち、第1導電型の半導体基板3の所定の位置に第1導電型のN⁺領域14を形成し、この中に第1導電型のP⁺拡散層15を設けてコレクタ領域13を構成する。

【0029】図7は、図2に明かにした縦型IGBTの他の例であり、相違点は、金属層10にある。図2にあっては、層間絶縁物層9の側面部分Aだけに形成するのに対して、図7では、側面全体の加えて層間絶縁物層9表面部分も被覆しており、製造プロセスの相違即ち金属層10のパターニング工程の有無によりもたらされるものである。

【0030】

【発明の効果】以上のように、本発明に係わるMOSゲートを備える半導体装置は、ゲート電極上にバリア金属であるチタンなどから成る金属層が介在していないので、比較的低温の熱処理によりゲート電極の損傷が回復する。

【0031】従って、しきい値電圧 V_{th} が十分に回復し、経時変化もなく信頼性の高いMOSゲートを備える半導体装置を提供できる。

【図面の簡単な説明】

【図1】従来のMOSゲートを備える半導体装置の断面図である。

【図2】本発明に係わるMOSゲートを備える半導体装置の一実施例であるIGBTの断面図である。

【図3】高温逆バイアス試験用回路図である。

【図4】図3の回路によりMOSゲートを備える半導体

装置に高温逆バイアス試験を行った結果を示す図である。

【図5】本発明の第2の実施例を示す断面図である。

【図6】本発明の第3の実施例を示す断面図である。

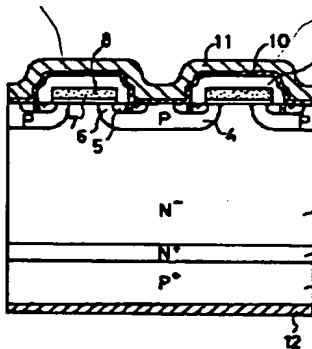
【図7】本発明の第4の実施例を示す断面図である。

【符号の説明】

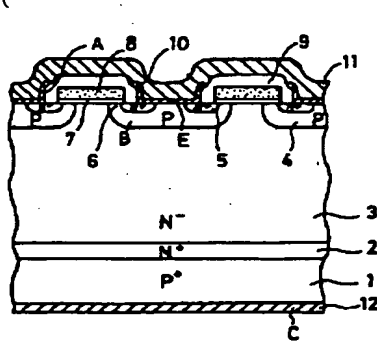
- 1：第1導電型の半導体基板、
2、3：第2導電型の半導体基板、
4：第1導電型の領域、
10 5：第2導電型の領域、
6：チャンネル領域、
7：絶縁物層、
8：ゲート電極、
9：層間絶縁物層、
10：金属層、
11：配線層。

Ti系

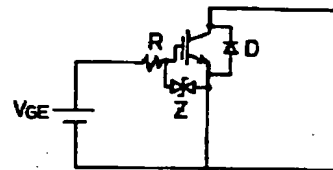
【図1】



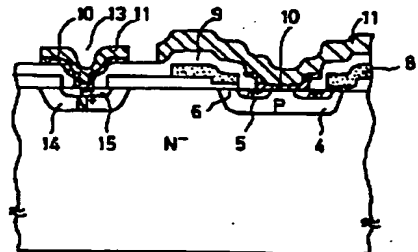
【図2】



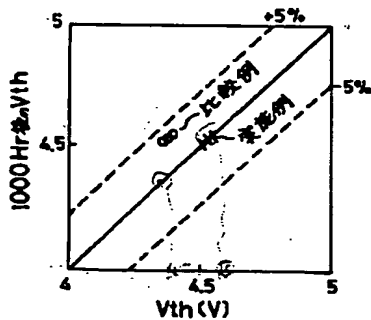
【図3】



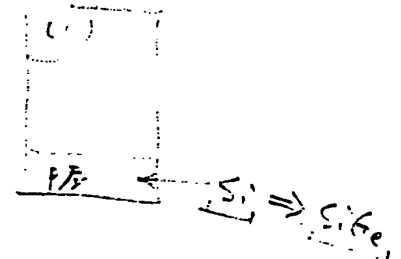
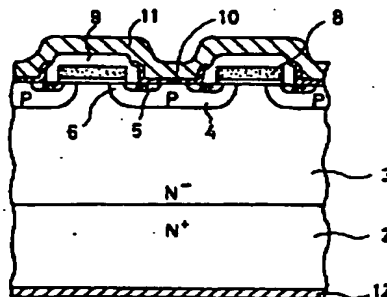
【図6】



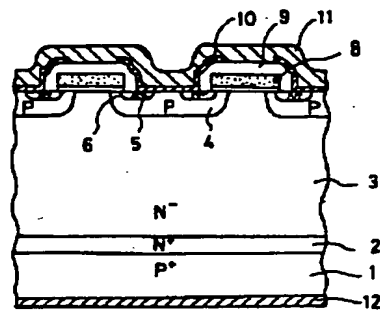
【図4】



【図5】



【図7】



- | | |
|--------------------|------------|
| 1 : 第1導電型の半導体基板 | 7 : 絶縁物層 |
| 2, 3 : 第2導電型の半導体基板 | 8 : ゲート電極 |
| 4 : 第1導電型の領域 | 9 : 層間絶縁物層 |
| 5 : 第2導電型の領域 | 10 : 金属層 |
| 6 : チャンネル領域 | 11 : 配線層 |